

CLIPPEDIMAGE= JP409293822A

PAT-NO: JP409293822A

DOCUMENT-IDENTIFIER: JP 09293822 A

TITLE: SEMICONDUCTOR DEVICE WITH LEAD FRAME FOR POWER  
SOURCE ONLY

PUBN-DATE: November 11, 1997

INVENTOR-INFORMATION:

NAME  
YANO, HIROYUKI

ASSIGNEE-INFORMATION:

NAME  
SEIKO EPSON CORP

COUNTRY  
N/A

APPL-NO: JP08105312

APPL-DATE: April 25, 1996

INT-CL (IPC): H01L023/50;H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the number of power source pins, increase the number of semiconductor signal pins, and reduce the size and cost of a semiconductor package.

SOLUTION: A metal lead frame for use in assembling of a semiconductor device has a lead frame 101 for VDD power source only and a semiconductor supporting lead frame 102 also used for a VSS power source. A semiconductor device 103 is adhered to an insulation adhesive to the latter lead frame 102. The former lead frame 101 is located vertically above an electric signal transmitting lead frame 108 and formed as a ring surrounding the periphery of the semiconductor device 103. Owing to this structure, any semiconductor pad

can be connected  
through a binding wire to the power-only lead frame.

COPYRIGHT: (C)1997, JPO

등록특허 97-72356 1/2

① 대 한 민 국 특 허 청 (KR)  
 ② 공 개 특 허 공 보 (A)

③ Int. Cl.  
 II 01 L 29/50

제 2658 호

④ 공개일자 1997. 11. 7  
 ⑤ 출원일자 1996. 4. 1

⑥ 공개번호 97-72356

⑦ 출원번호 96-9774

실사청구 : 있음

⑧ 발 명 사 허 명 속 경기도 성남시 분당구 수내동 55 둛네이파드 132-1504

⑨ 출 원 인 아남산업 주식회사 대표이사 차 인 신

서울특별시 성동구 성수 2가 280-8 (우: 133-120)

⑩ 대리인 법리사 서 만 규

(전 2면)

## ⑪ 반도체패키지의 제조방법 및 구조

## ⑫ 요 약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로 반도체장치의 저연을 외부로 노출시켜 표면공학적 발생되는 열단축의 효과를 극복하여 패키지의 수명을 연장시키고, 신뢰성을 향상시킬目的은 물론, 패키지의 중앙부 외측에 위치한 리드는 절단하고, 중앙부 내측에 위치한 리드는 그 저연을 외부로 노출시켜 미더보드에 실장사 티도의 저연에서 신호전달을 하도록 함으로서 신호전력을 최소화할 수 있는 반도체패키지이다.

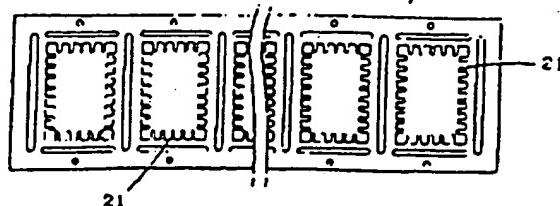
## 특허설구의 범위

1. 다수의 리드가 형성되고, 상기 다수의 리드 중 일부에는 침입재판이 없는 리드프레임을 형성하는 반제와; 상기 리드프레임의 나수의 리드 중 일부에 반도체침을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩전 리드, 반도체침 및 와이어를 외부의 산회 및 부식으로부터 보호하기 위하여 물딩하는 단계와; 상기 단계 후에 물딩영역 외각에 위치한 리드를 결단하는 단계로 이루어진 것을 특징으로 하는 반도체제작기지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩후 배출홀(Vacuum Hole)이 형성된 허더블럭에 반도체침을 위치시켜 상기 배출홀로 공기를 빌어들여 반도체침을 치자고정하는 것을 특징으로 하는 반도체제작기지의 제조방법.
3. 제1항에 있어서, 상기 물딩단자는 예상 물지재를 사용하여 물딩하는 것을 특징으로 하는 반도체제작기지의 제조방법.
4. 제1항 또는 3항에 있어서, 예상 물지재를 사용하여 물딩하기 전에 물딩영역에 맨틀 형성하여 예상 물지재가 둘러 낌치는 것을 방지하는 것을 특징으로 하는 반도체제작기지의 제조방법.
5. 제1항에 있어서, 상기 물딩단자는 물드 킹지온드를 사용하여 물딩하는 것을 특징으로 하는 반도체제작기지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 예상 물지재 및 물드 킹지온드로 물팅 후, 150°C 이상의 고온에서 수시진 노동시켜 정착시키는 공정을 포함하는 것을 특징으로 하는 반도체제작기지의 제조방법.
7. 제1항에 있어서, 상기 반도체대기지의 저면에는 그라인드(Grind)를 실시하여 플래시(Flash)를 제거하는 것을 특징으로 하는 반도체제작기지의 제조방법.
8. 제1항에 있어서, 상기 물팅영역의 외각에 위치한 리드를 결단시 결단을 용이하게 하기 위하여 결단되는 부위의 리드에 노치(Notch)를 형성한 것을 특징으로 하는 반도체제작기지의 제조방법.
9. 서면이 외부로 직접 노출되는 반도체침과; 상기 반도체침의 외측에 위치되고 물팅영역을 빛어나지 않으며 저면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드와; 상기 반도체침과 리드를 연결시켜주는 와이어와; 상기 반도체침, 리드 및 와이어를 외부 친정으로부터 보호하기 위하여 물팅된 예상 물지재 또는 흰파운드로 구성된 것을 특징으로 하는 반도체제작기지의 구조.
10. 제9항에 있어서, 상기 물팅된 예상 물지재 및 흰파운드는 리드 및 반도체침의 상부로만 물팅된 것을 특징으로 하는 반도체제작기지의 구조.
11. 제9항에 있어서, 상기 반도체제작기지의 저면에는 플래시(Flash)의 제거를 위해 그라인드(Grind)된 것을 특징으로 하는 반도체제작기지의 구조.
12. 제9항에 있어서, 리드프레임의 나수의 리드 중 일부에는 침입재판이 없는 것을 특징으로 하는 반도체제작기지의 구조.

\* 참고사항 : 제조증원 내용에 의하여 등재하는 것임.  
도안의 긴급한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 그림도.

제 2 도



등록번호 97-72358 1/2

① 대한민국 특허청 (KR)  
② 공개특허공보 (A)

③ InL Cl.  
II 01 L 29/50

제 2658 호

④ 등록일자 1997. 11. 7  
⑤ 출원일자 1996. 4. 1

⑥ 공개번호 97-72358

⑦ 출원번호 96- 9774

심사청구 : 있음

⑧ 발명자 이영우 경기도 성남시 분당구 수내동 55 뉴레이파크 132-1504

⑨ 출원인 아남산업 주식회사 대표이사 강인실

서울특별시 성동구 성수 2가 280-8 (우: 133-120)

⑩ 대리인 변리사 서만규

(전 2면)

⑪ 반도체패키지의 제조방법 및 구조

⑫ 요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로 반도체칩의 저연을 외부도 노출시켜 피드백시 발생되는 열단출의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 확보시킬 수 있는 반도체패키지이다. 본 발명은 반도체패키지의 저연을 외부도 노출시켜 피드백시 발생되는 열단출의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 확보시킬 수 있는 반도체패키지이다.

## 특허설구의 범위

1. 다수의 리드가 형성되고, 상기 다수의 리드 중 일부에는 침입재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중 일부에 반도체침을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체침 및 와이어를 외부의 신호 및 부식으로부터 보호하기 위하여 물당하는 단계와; 상기 단계 후에 물당영역 미각에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체제작기지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩은 배풀홀 (Via-Jump Hole)이 형성된 하디볼릭에 반도체침을 위치시켜 상기 배풀홀로 공기를 밀어들여 반도체침을 치자고정하는 것을 특징으로 하는 반도체제작기지의 제조방법.
3. 제1항에 있어서, 상기 물당단계는 액상봉지제를 사용하여 물당하는 것을 특징으로 하는 반도체제작기지의 제조방법.
4. 제1항 또는 3항에 있어서, 액상봉지제를 사용하여 물당하기 전에 물당영역에 물을 형성하여 액상봉지제가 물에 냉착되는 것을 방지하는 것을 특징으로 하는 반도체제작기지의 제조방법.
5. 제1항에 있어서, 상기 물당단계는 물드컴파운드를 사용하여 물당하는 것을 특징으로 하는 반도체제작기지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 액상봉지제 및 물드컴파운드로 물당 후, 150°C 이상의 고온에서 수시간 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체제작기지의 제조방법.
7. 제1항에 있어서, 상기 반도체제작기지의 저면에는 그라인드 (Grind)를 실시하여 플래시 (Flash)를 제거하는 것을 특징으로 하는 반도체제작기지의 제조방법.
8. 제1항에 있어서, 상기 물당영역의 외각에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 무위의 리드에 노치 (Notch)를 형성한 것을 특징으로 하는 반도체제작기지의 제조방법.
9. 저면이 외부로 직접 노출되는 반도체침과; 상기 반도체침의 외측에 위치되고 물당영역을 빗어나지 않으며 저면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드와; 상기 반도체침과 리드를 연결시켜주는 와이어와; 상기 반도체침, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 물당된 액상봉지제 또는 컴파운드 구성을 특징으로 하는 반도체제작기지의 구조.
10. 제9항에 있어서, 상기 물당된 액상봉지제 및 컴파운드는 리드 및 반도체침의 상부로만 물당된 것을 특징으로 하는 반도체제작기지의 구조.
11. 제9항에 있어서, 상기 반도체제작기지의 저면에는 플래시 (Flash)의 제거를 위해 그라인드 (Grind) 편 것을 특징으로 하는 반도체제작기지의 구조.
12. 제9항에 있어서, 리드프레임의 나수의 리드 중 일부에는 침입재판이 없는 것을 특징으로 하는 반도체제작기지의 구조.

\* 참고사항 : 저작권원 내용에 의하여 공개되는 것임.

## 도면의 간단한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

제 2 도

